



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09252100 A**(43) Date of publication of application: **22 . 09 . 97**

(51) Int. Cl.

**H01L 27/12**  
**H01L 21/02**  
**H01L 21/306**  
**H01L 21/304**

(21) Application number: **08060451**(22) Date of filing: **18 . 03 . 96**(71) Applicant: **SHIN ETSU HANDOTAI CO LTD**

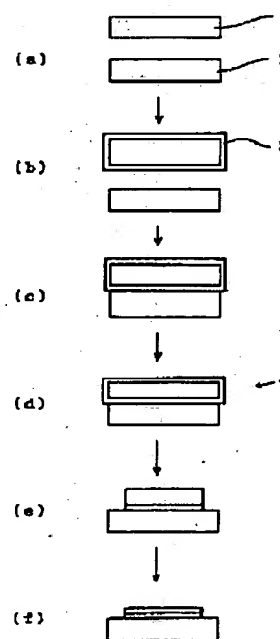
(72) Inventor:  
**NAKANO MASATAKE**  
**MITANI KIYOSHI**  
**SAKAI MASAHIRO**

**(54) MANUFACTURE OF BONDED WAFER AND THE WAFER MANUFACTURED BY THE METHOD****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To make the film thickness uniform and to improve the processing accuracy by previously polishing one of the two silicon surface wafers without influence of the front surface convexo-concave part over the rear surface and the shape of the front surface in the polishing jig over the rear surface.

**SOLUTION:** In the case of polishing two bond wafers 1 and base wafer 2 before bonding or the wafers 1, 2 after bonding, a method for polishing without influence of the convexo-concave part of the front surface over the rear surface of the wafer or the shape of the front surface in the polishing jig over the contact the rear surface of the wafer is introduced, the wafer 1 is polished and oxidized in a dry oxygen atmosphere to form an oxide film. On the other hand, the wafer 2 is similarly polished, the mirror surfaces of the wafers 1 and 2 are connected each other, then heat treated and rigidly connected. Thus, the connected wafer having uniform film thickness and high processing accuracy can be obtained.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-252100

(43) 公開日 平成9年(1997)9月22日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/12			H 0 1 L 27/12	B
21/02			21/02	B
21/306			21/304	3 2 1 M
21/304	3 2 1		21/302	P

審査請求 未請求 請求項の数 9 O L (全 7 頁)

(21) 出願番号	特願平8-60451	(71) 出願人	000190149 信越半導体株式会社 東京都千代田区丸の内1丁目4番2号
(22) 出願日	平成8年(1996)3月18日	(72) 発明者	中野 正剛 群馬県安中市磯部2丁目13番1号 信越半 導体株式会社半導体磯部研究所内
		(72) 発明者	三谷 清 群馬県安中市磯部2丁目13番1号 信越半 導体株式会社半導体磯部研究所内
		(72) 発明者	酒井 正浩 長野県更埴市大字屋代1393 長野電子工業 株式会社技術部内
		(74) 代理人	弁理士 山本 亮一 (外1名)

(54) 【発明の名称】 結合ウェーハの製造方法及びこの方法により製造される結合ウェーハ

(57) 【要約】 (修正有)

【課題】 S O I ウェーハの膜厚のばらつきを均質化し、加工精度の高い S O I ウェーハの製造方法を提供する。

【解決手段】 2枚のシリコン鏡面ウェーハのうち、少なくとも一方のウェーハ鏡面に酸化膜を形成した後、その鏡面同士を相互に接触させて接合し、次いで加熱処理を加えてシリコンの結合ウェーハを製造する方法において、用いる2枚のシリコン鏡面ウェーハのうち少なくとも一方に、ウェーハ裏面の表面凹凸あるいはウェーハ裏面と接する研磨治具の表面形状の影響を受けない研磨加工を予め施すことを特徴とする結合ウェーハの製造方法。

## 【特許請求の範囲】

【請求項1】 2枚のシリコン鏡面ウェーハのうち、少なくとも一方のウェーハ鏡面に酸化膜を形成した後、その鏡面同士を相互に接触させて接合し、次いで加熱処理を加えてシリコンの結合ウェーハを製造する方法において、用いる2枚のシリコン鏡面ウェーハのうち少なくとも一方に、ウェーハ裏面の表面凹凸あるいはウェーハ裏面と接する研磨治具の表面形状の影響を受けない研磨加工を予め施すことを特徴とする結合ウェーハの製造方法。

【請求項2】 2枚のシリコン鏡面ウェーハのうち、少なくとも一方のウェーハ鏡面に酸化膜を形成した後、その鏡面同士を相互に接触させて接合し、次いで加熱処理を加えて強固に結合し、次いで一方のウェーハを湿式エッチングもしくは研削により薄膜化した後、研磨してシリコンの結合ウェーハを製造する方法において、用いる2枚のシリコン鏡面ウェーハのうち少なくとも一方に、ウェーハ裏面の表面凹凸あるいはウェーハ裏面と接する研磨治具の表面形状の影響を受けない研磨加工を予め施すことを特徴とする結合ウェーハの製造方法。

【請求項3】 2枚のシリコン鏡面ウェーハのうち、少なくとも一方のウェーハ鏡面に酸化膜を形成した後、その鏡面同士を相互に接触させて接合し、次いで加熱処理を加えて強固に結合し、次いで一方のウェーハを湿式エッチングもしくは研削により薄膜化した後、研磨し、さらに気相エッチングにより薄膜化してシリコンの結合ウェーハを製造する方法において、用いる2枚のシリコン鏡面ウェーハのうち少なくとも一方に、ウェーハ裏面の表面凹凸あるいはウェーハ裏面と接する研磨治具の表面形状の影響を受けない研磨加工を予め施すことを特徴とする結合ウェーハの製造方法。

【請求項4】 2枚のシリコン鏡面ウェーハのうち、少なくとも一方のウェーハ鏡面に酸化膜を形成した後、その鏡面同士を相互に接触させて接合し、次いで加熱処理を加えて強固に結合し、次いで一方のウェーハを湿式エッチングもしくは研削により薄膜化した後、研磨してシリコンの結合ウェーハを製造する方法において、薄膜化後の結合ウェーハの薄膜表面を、ウェーハ裏面の表面凹凸あるいはウェーハ裏面と接する研磨治具の表面形状の影響を受けない研磨加工により処理することを特徴とする結合ウェーハの製造方法。

【請求項5】 2枚のシリコン鏡面ウェーハのうち、少なくとも一方のウェーハ鏡面に酸化膜を形成した後、その鏡面同士を相互に接触させて接合し、次いで加熱処理を加えて、強固に結合し、次いで一方のウェーハを湿式エッチングもしくは研削により薄膜化した後、研磨し、さらに気相エッチングにより薄膜化してシリコンの結合ウェーハを製造する方法において、薄膜化後の結合ウェーハの薄膜表面を、ウェーハ裏面の表面凹凸あるいはウェーハ裏面と接する研磨治具の表面形状の影響を受けない

い研磨加工により処理することを特徴とする結合ウェーハの製造方法。

【請求項6】 ウェーハ裏面の表面凹凸あるいはウェーハ裏面と接する研磨治具の表面形状の影響を受けない研磨加工が、両面研磨法、またはウェーハ保持材を用いてウェーハ裏面を保持して行う研磨法である請求項1～請求項5のいずれか一項に記載の結合ウェーハの製造方法。

【請求項7】 ウェーハ裏面の表面凹凸あるいはウェーハ裏面と接する研磨治具の表面形状の影響を受けない研磨加工が、ウェーハの直径よりもわずかに大きい穴を有するウェーハ支持材を用いて行う研磨法である請求項1～請求項5のいずれか一項に記載の結合ウェーハの製造方法。

【請求項8】 気相エッチングによる薄膜化の方法が、予め薄膜化しようとするシリコン層の厚さの分布を測定して、厚さ分布のマップを作成し、数値制御によりその厚い部分を局所的に気相エッチング法によって薄膜化し、必要に応じてこの作業を繰り返して行うものである請求項3または請求項5に記載の結合ウェーハの製造方法。

【請求項9】 請求項1～請求項8のいずれか一項に記載の結合ウェーハの製造方法により製造される結合ウェーハ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体ウェーハの貼り合わせ技術に関するものであり、特にSOI (silicon on insulator) 基板において、2枚のシリコン鏡面ウェーハを接着剤を用いずに結合した後、片方のウェーハを薄膜化してSOI構造の結合ウェーハを実現する技術に関する。

## 【0002】

【従来の技術】SOI構造の基板としては、酸素イオンをシリコン単結晶に高濃度で打ち込んだ後熱処理で酸化膜を形成するSIMOX (separation by implanted oxygen) 法によるものが有力なSOI基板として注目され、研究が続けられている。SIMOX法においては、デバイス活性領域になるSOI層の膜厚を酸素イオン打ち込み時の加速電圧で決定できるため、薄膜SOI層の膜厚均一性に優れている。しかし、酸化膜の信頼性や一度アモルファス状態になったシリコン層について、1,300℃以上の結晶性回復熱処理が必要であることなど問題点が多い。そこで別のSOI構造の基板を製造する方法として、2枚のシリコン鏡面ウェーハを結合して得られる型の結合ウェーハが注目されている。この製造方法を説明すると、2枚のシリコン鏡面ウェーハのうち、少なくとも一方の鏡面にシリコン酸化膜を形成したのち、2枚の鏡面同士を清浄な条件下で接触させると、接着剤等を用いなくともウェーハ同士は接着する（以後、この状態を接合

と称す)。しかしこの接合状態は完全なものではないので、その後、これらに熱処理を加えると、ウェーハ同士は強固に結合し(以後、この状態を結合と称す)、しかる後、デバイス活性領域を形成する側のウェーハ(以後、この表面を主表面と称す)を湿式エッチングもしくは研削により薄膜化した後、さらに薄膜表面を研磨することによって薄膜化したSOI層を有する結合ウェーハが得られる。この場合、薄膜化される側のシリコン層は単結晶であることが要件である。このような結合ウェーハは、ウェーハ間に接着剤等の異種物質を介在させる必要がないため、その後の高温処理や各種化学処理が自由にでき、また誘電体埋め込みも簡便にできるという利点を有する。さらに、平坦度、清浄度等の薄膜化技術の向上と相まって、特に注目されている。

#### 【0003】

【発明が解決しようとする課題】ところが、半導体デバイスの高集積化、高速度化により、結合ウェーハのSOI層は増々薄膜化する傾向にあり、特に $1\mu\text{m}$ 以下といった極薄のSOI層を有する結合ウェーハが要求されるようになっている。このような結合ウェーハにおいては、薄膜化されたSOI層厚さの均一性、あるいはその加工精度が問題になってくる。例えば、今後のCMOS用基板としてSIMOXと同等またはそれ以上の薄膜化を達成するためには、最低でも $0.1\pm 0.01\mu\text{m}$ の膜厚及び加工精度を実現することが要求されている。しかしながら、従来の結合ウェーハのSOI層の膜厚の加工精度は、いかにそれを高めても、 $1\mu\text{m}$ の膜厚のものに対して $\pm 0.3\mu\text{m}$ 程度に到達するのが限界であった。なお、加工精度とは、標準偏差の3倍の値に相当するものとする。近年、SOIウェーハの膜厚を多点測定し、その膜厚分布に従ってSOI層を $0.1\mu\text{m}$ まで薄膜化が可能手法が開発されたが、 $\pm 0.01\mu\text{m}$ の加工精度を安定して得たり、 $\pm 0.01\mu\text{m}$ よりも小さい、より良い加工精度を得ることは非常に困難であった。

【0004】本発明者等は、この限界を打破するための対策をいろいろと検討した結果、その原因は結合される前の鏡面ウェーハの仕上げ加工精度、及びSOI層厚さを $0.1\mu\text{m}$ に加工する工程の前工程の加工精度に起因するものであることを見出した。すなわち、従来の加工精度で研磨され、 $0.1\mu\text{m}$ まで薄膜化された結合SOIウェーハの膜厚分布は、通常の鏡面ウェーハ表面に魔鏡(光反射による鏡面評価)の観察により検出される浅い凹凸(以下、ピールと称す)の分布に酷似していることがわかった。ピールは、ウェーハ研磨中に、ウェーハ裏面の表面凹凸あるいはウェーハ裏面と接する研磨治具の表面の形状が、ウェーハ表面に転写されることにより生じるものとされている。このことから、薄膜化した結合ウェーハの膜厚分布は、通常用いられるワックス固定法などの研磨工程で生じたウェーハのピールを薄膜化工程中に修正し切れないことによるもので、ピールの分

布に依存して発生するものと考えられる。このピールはPV値で $0.01\sim 0.1\mu\text{m}$ 、周期が $1\sim 20\text{mm}$ と、極めて浅いが周期が大きな波状の凹凸で、通常のLTV(local thickness variation)や面粗さの測定器の計測にはかからないもので、従来の $1\mu\text{m}$ 以上のSOI層を持つSOIウェーハの作製においては、膜厚加工精度が $\pm 0.3\mu\text{m}$ 以上であったため、問題とされなかったものである。なお、このピールは魔鏡により観察され、その大きさは高精度触針式段差計により測定されるものである。

【0005】また一方では、近年半導体デバイスの製造工程においてパーティクル発塵対策が重要になってきている。そのためには、従来特に問題としなかったシリコン鏡面ウェーハの裏面を研磨して、発塵を抑えることが要求されるようになっている。これらの問題点を鑑み、本発明にあっては、結合ウェーハの製造において、ピールがないか、もしくはピールの形成を解消することにより、膜厚が均一で加工精度が高い結合ウェーハを得ることを目的とする。

#### 【0006】

【課題を解決するための手段】すなわち本発明は、2枚のシリコン鏡面ウェーハのうち、少なくとも一方のウェーハ鏡面に酸化膜を形成した後、その鏡面同士を相互に接触させて接合し、次いで加熱処理を加えてシリコンの結合ウェーハを製造する方法において、用いる2枚のシリコン鏡面ウェーハのうち少なくとも一方に、ウェーハ裏面の表面凹凸あるいはウェーハ裏面と接する研磨治具の表面形状の影響を受けない研磨加工を予め施すことを特徴とする結合ウェーハの製造方法を要旨とするものである。また、上記の製造方法により製造される結合ウェーハを要旨とするものである。

#### 【0007】

【発明の実施の形態】以下に、本発明の実施の形態を説明する。図1に、一般的な結合ウェーハによるSOI基板の製造工程を示す。SOI層とする側のウェーハ(以下、ボンドウェーハと称す)1と、支持基板側のウェーハ(以下、ベースウェーハと称す)2の2枚のシリコン鏡面ウェーハを準備し(図1(a))、そのうちの少なくとも一方の接合面に鏡面状態の酸化膜3を形成する(図1(b))。次に、この2枚のシリコン鏡面ウェーハを室温で相互に接触させて接合し(図1(c))、さらに熱処理を加えることによって強固に結合させ、結合ウェーハ4とする(図1(d))。次いで、この結合ウェーハの一方のウェーハの主表面を湿式エッチングもしくは平面研削し、 $10\sim 20\mu\text{m}$ 程度の厚さを残して除去して薄膜化する(図1(e))。さらに薄膜表面に鏡面研磨処理を施し、所望の厚さのSOI層を有する結合ウェーハとする(図1(f))。この段階ではSOI層の厚さは $3\pm 0.5\mu\text{m}$ のものが得られる。通常、ボンドウェーハに酸化膜をつけることが多いが、ベースウェ

ーハに酸化膜をつける場合もある。したがって酸化膜の位置は、2枚のウェーハの内どちらにあってもよく、またはその双方にあってもよい。

【0008】この結合ウェーハに対して $0.1 \pm 0.01 \mu\text{m}$ のSOI層膜厚及び加工精度を実現することについては、種々の方法が検討されてきた。その中で、図2に示すPACE (plasma assisted chemical etching) 法と呼ばれる方法は、気相エッチングによる薄膜化方法であり、予め薄膜化しようとするシリコン層の厚さの分布を測定して、厚さ分布のマッピングを作成し、数値制御によりその厚い部分を局所的に気相エッチング法によって薄膜化し、必要に応じてこの作業を繰り返す行うもので、特開平5-160074号公報に開示されている。例えば、まず通常の研磨法で仕上げられた結合ウェーハ (SOI層厚 $3 \pm 0.5 \mu\text{m}$ ) の膜厚を、ウェーハ全面に渡って1~3mm間隔で2次元的に、同時に測定する (図2 (a) 参照)。この測定値を基に、高周波プラズマを用いた気相エッチングにより結合ウェーハの厚い部分を局所的に薄膜化を行い、 $0.1 \mu\text{m}$ のSOI層膜厚を持った結合ウェーハを作製することができる (図2 (b) 参照)。

【0009】本発明においては、結合される前のシリコン鏡面ウェーハ、あるいは結合後のウェーハを研磨するに際して、上述したピールの発生原因となる、ウェーハ裏面の表面凹凸、あるいはウェーハ裏面と接する研磨治具の表面形状の影響を受けない研磨方法を導入するものである。このようなウェーハ研磨方法は、ウェーハ裏面を固定せずにウェーハを保持する研磨方法であればよく、例えば、両面研磨法や、ウェーハの直径よりもわずかに大きい穴を有するウェーハ支持材を用いて行う研磨法が例示される。また、ウェーハ裏面の凹凸や研磨治具の表面凹凸をウェーハ保持材によって吸収させてウェーハ裏面を保持する研磨法等が例示される。両面研磨法は、ウェーハをウェーハの直径よりもわずかに大きいキャリアの穴の中に保持しながら、表面・裏面の両方を同時に研磨する方法であり、図3に両面研磨装置の概略図を示す。図3において、例えばウェーハ11を、仕上がり厚さより幾分薄いキャリア9の中に装填し、研磨クロス5を貼った上定盤7aと下定盤7bによってウェーハ11の両面を同時に研磨することができる。この方法によればウェーハの裏面も研磨されるため、裏面からの発塵を抑えることができ、半導体デバイスの製造工程のパーティクルの問題を併せて解決することができる。ウェーハの直径よりもわずかに大きい穴を有するウェーハ支持材を用いて行う研磨法では、たとえば、研磨対象のウェーハ径よりもわずかに大きい穴の開いた、硬質の合成樹脂等で作製されたテンプレートと呼ばれるウェーハ支持材の穴の中に、ウェーハを保持して研磨を行う。ウェーハ保持材を用いて裏面を保持して行う研磨法で \*

\*は、例えば合成樹脂製の多孔質パッド表面に、水の吸着力と合わせてウェーハを保持するが、完全に固定はしない方法が挙げられる。研磨時において、ウェーハ裏面の凹凸は比較的軟質の多孔質パッドに吸収されると同時に、ウェーハは徐々に自転するので、ウェーハの裏面側の凹凸の影響は解消される。図4に、この研磨法を用いた研磨装置の概略図を示す。なお、ウェーハの位置ずれを防止するために、図4のようにウェーハ11の直径よりもわずかに大きい穴を有するウェーハ支持材6を併用することもできる。

【0010】薄膜化後の膜厚分布は、現状のSIMOX ウェーハのSOI層の膜厚分布と比較すると、標準偏差で2nm以下であることが好ましく、2nmを超えると、極薄のSOI層を有する結合ウェーハの膜厚分布が大きくなり、デバイス作製の際に問題を引き起こす。

【0011】

【実施例】次に、本発明の実施例を挙げて説明する。

実施例1

ボンドウェーハとして5インチ径、p型のシリコン単結晶ウェーハを、ワックス固定法により鏡面研磨した。研磨代は合計約 $10 \mu\text{m}$ で、ウェーハ表面の面粗さが、位相シフト干渉法の測定によりrms値 $=0.3 \text{ nm}$  (測定領域 $250 \mu\text{m} \times 250 \mu\text{m}$ ) になるまで研磨した。次にこれを乾燥酸素雰囲気下で酸化し、ウェーハ表面に $0.5 \mu\text{m}$ 厚の酸化膜を形成した。一方、ベースウェーハとして同じくp型の5インチ径のシリコン単結晶ウェーハを両面研磨法により鏡面研磨した。この際、不二越機械工業社製両面研磨機 (機種名 DSP-9B) を用いて、ボンドウェーハと同様な表面粗さになるまで研磨した。このベースウェーハと、上述のボンドウェーハとを接触させて接合し、次いで $1100^\circ\text{C}$ で酸素雰囲気中で熟処理を施し、強固に結合させた。

【0012】次いでこの結合ウェーハのうち、ボンドウェーハの主表面の酸化膜及びシリコン層を約 $500 \mu\text{m}$ 平面研削で除去して薄膜化し、その後このSOI層の薄膜表面をワックス固定法 (ベースウェーハと同様な研磨法) でSOI層厚さ $4 \mu\text{m}$ まで研磨した。次にこれを、SF<sub>6</sub>雰囲気下で高周波によるプラズマを用いたPACE法により、SOI層が $0.1 \mu\text{m}$ 厚さになるまで薄膜化した。最後にRCA洗浄 (アンモニア水溶液・過酸化水素水・純水からなる混合液、及び塩酸・過酸化水素水・純水からなる混合液による洗浄) を施してSOI結合ウェーハを作製した。このようにして作製したSOI結合ウェーハの、膜厚分布の標準偏差を白色光干渉パターンから膜厚を計算する干渉計により測定した。結果を表1に示す。

【0013】

【表1】

	研 磨 方 法			薄膜化後の膜厚 分布の標準偏差
	ベースウェーハ	ボンドウェーハ	SOI層	
実施例1	両面研磨法	ワックス固定法	ワックス固定法	1.9 nm
実施例2	ワックス固定法	両面研磨法	ワックス固定法	1.3 nm
実施例3	両面研磨法	両面研磨法	ワックス固定法	1.7 nm
実施例4	ワックス固定法	両面研磨法	両面研磨法	1.6 nm
実施例5	両面研磨法	両面研磨法	両面研磨法	1.8 nm
実施例6	ウェーハ保持材	ワックス固定法	ワックス固定法	1.8 nm
実施例7	ワックス固定法	ワックス固定法	ウェーハ保持材	1.8 nm
実施例8	ウェーハ保持材	ウェーハ保持材	ワックス固定法	1.6 nm
実施例9	ウェーハ保持材	ワックス固定法	ウェーハ保持材	1.8 nm
実施例10	ウェーハ保持材	ウェーハ保持材	ウェーハ保持材	1.4 nm
比較例1	ワックス固定法	ワックス固定法	ワックス固定法	2.8 nm

#### 【0014】実施例2～5

ベースウェーハ、ボンドウェーハ、結合後・薄膜化前のSOI層の3種の研磨工程のうち、表1の実施例2～5に示すように各工程を両面研磨法とワックス固定法を組み合わせた種々の条件で、実施例1と同様に結合ウェーハを作製した。薄膜化後の膜厚分布の標準偏差を表1に併記する。

#### 【0015】実施例6

実施例1において、ウェーハ保持材を用いてウェーハの裏面を保持しながら表面を鏡面研磨してベースウェーハとした以外は、実施例1と同様に結合ウェーハを作製した。この際、ウェーハ保持材を用いてウェーハの裏面を保持しながら表面を鏡面研磨する方法は、図4に示す不二越機械工業社製研磨機（品番PS-490）を用いて、ウェーハ支持材6の穴の中のウェーハを、多孔質パッド10表面に水の表面張力で保持し、粗い研磨クロス5、次いで滑らかな研磨クロス5を用い、定盤8を回転させて上記ボンドウェーハと同様な表面粗さになるまで研磨して行った。薄膜化後の膜厚分布の標準偏差を表1に併記する。

#### 【0016】実施例7～10

ベースウェーハ、ボンドウェーハ、結合後・薄膜化前のSOI層の3種の研磨工程のうち、表1の実施例7～10に示すように各工程を、ウェーハ保持材を用いてウェーハの裏面を保持しながら表面を鏡面研磨する方法とワックス固定法とを組み合わせた種々の条件で、実施例1と同様に結合ウェーハを作製した。薄膜化後の膜厚分布の標準偏差を表1に併記する。

#### 【0017】比較例1

比較のために、上述3種の研磨工程をいずれもワックス

固定法とした以外は、実施例1と同じ条件で結合ウェーハを作製した。薄膜化後の膜厚分布の標準偏差を表1に併記する。

#### 【0018】比較例2

ボンドウェーハとして6インチ径、p型のシリコン単結晶ウェーハをワックス固定法により鏡面研磨した。研磨代は合計約10 $\mu$ mで、ウェーハ表面の面粗さが、位相シフト干渉法の測定によりrms値=0.3nm（測定領域250 $\mu$ m×250 $\mu$ m）になるまで研磨した。次にこれを乾燥酸素雰囲気下で酸化し、ウェーハ表面に0.5 $\mu$ m厚の酸化膜を形成した。一方、ベースウェーハとしてボンドウェーハと同じシリコン単結晶ウェーハをワックス固定法よりもピールが発生しやすい研磨法、すなわちウェーハ裏面を真空チャック方式により固定し、ウェーハ表面を研磨する方法で研磨した。ウェーハの研磨代及びウェーハ表面の面粗さはボンドウェーハと同等であった。しかしながら魔鏡により、ベースウェーハ表面のピールを観察したところ、ボンドウェーハよりも明瞭なピールを観察した。このベースウェーハと上述のボンドウェーハとを接触させ接合し、次いで1100℃で酸素雰囲気下で熱処理を施し、強固に結合させた。次いでこの結合ウェーハのうち、ボンドウェーハの主表面の酸化膜及びシリコン層を約600 $\mu$ m平面研削で除去して薄膜化し、その後このSOI層の薄膜表面をワックス固定法よりもピールが発生しやすい研磨法、すなわち、ウェーハ裏面を真空チャック方式により固定し、ウェーハ表面を研磨する方法（ベースウェーハと同様な研磨法）でSOI層厚さ3±0.5 $\mu$ mまで研磨した。その後PACE法で0.1 $\mu$ mまで実施例1と同様に薄膜化した。図5にSOI基板の膜厚を、直径方向に測定した結果を示

す。図5において、膜厚分布の周期は約10mmでPV値は40nm(=0.04μm)に達しており、また膜厚分布は標準偏差で10nm以上となっている。これによれば、結合ウェーハのSOI層をPACE法で膜厚0.1μmまで薄膜化しても、前工程の研磨によって生じたウェーハのピールの影響は、完全には修正し切れないことがわかる。

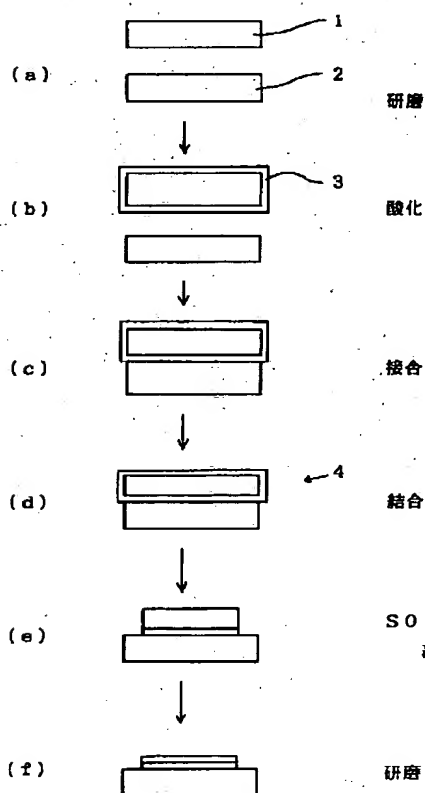
#### 【0019】

【発明の効果】本発明によれば、膜厚分布の標準偏差が2nm以下に均質化され、加工精度の高いSOI構造の結合ウェーハを作製することができる。更に薄膜化のみでなく、SOI層厚が0.1μmよりも大きい厚膜であってもその膜厚の加工精度が高い結合ウェーハを作製する際にも本発明は適用できる。具体的には、研磨のみでは作製が困難であるとされる±0.1μm以下の膜厚許容差を求められる結合ウェーハの作製について、適用が可能であると考えられる。

#### 【図面の簡単な説明】

【図1】SOI構造の結合ウェーハの製造工程を示す図である。(a)～(f)は各工程における断面を示す概略図である。

【図1】



\*【図2】(a) PACE法におけるSOIウェーハの薄膜測定法についての概念図である。

(b) PACE法における薄膜化についての概念図である。

【図3】本発明に用いる、両面研磨装置の概略図である。

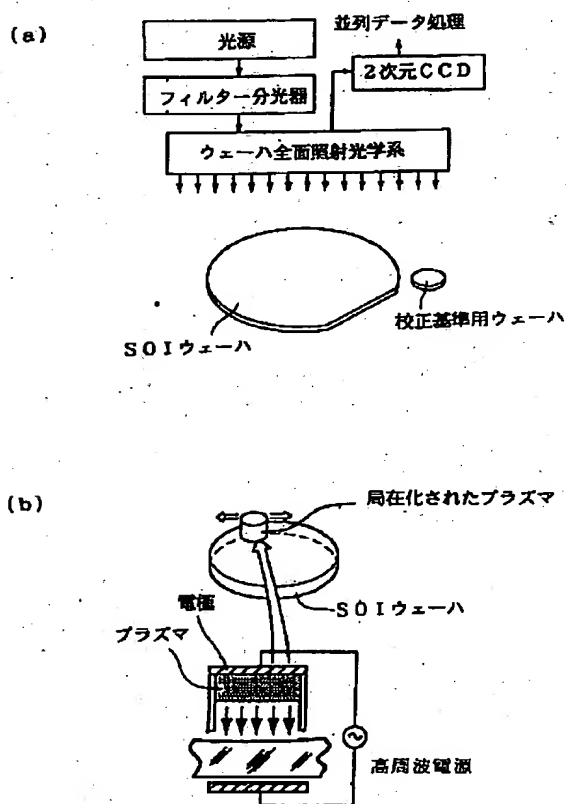
【図4】本発明に用いる、ウェーハ保持材による研磨装置の概略図である。

【図5】ワックス固定法の研磨後にPACE法により薄膜化した、結合SOIウェーハの膜厚分布を示す図である。

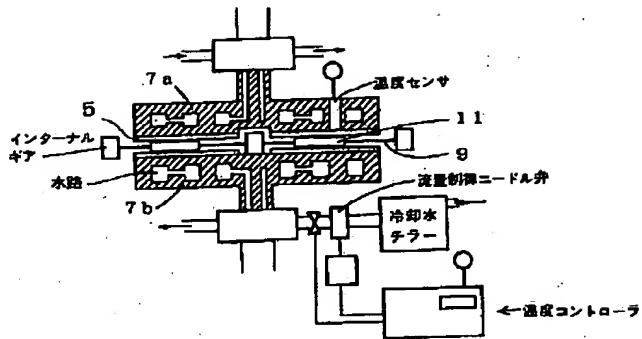
#### 【符号の説明】

1	ボンドウェーハ	2	ベースウェーハ
3	酸化膜	4	結合ウェーハ
5	研磨クロス	6	ウェーハ支持材
7 a	上定盤	7 b	下定盤
8	定盤	9	キャリアー
10	多孔質パッド	11	ウェーハ

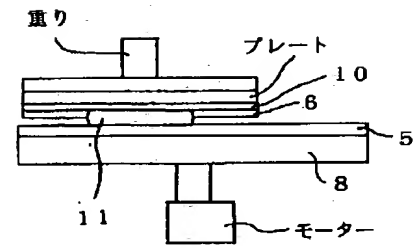
【図2】



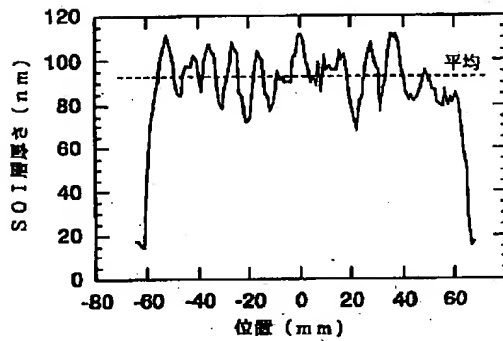
【図3】



【図4】



【図5】



測定位置  
 測定点数 = 129  
 平均 = 92.4 nm  
 標準偏差 = 10.78 nm  
 但し端部10mmを除く